

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09162857 A**

(43) Date of publication of application: **20.06.97**

(51) Int. Cl.

H04L 7/08
G11B 20/14
H03M 7/14
H04L 25/49

(21) Application number: **07316420**

(22) Date of filing: **05.12.95**

(71) Applicant: **TOSHIBA CORP PIONEER
ELECTRON CORP HITACHI LTD
MATSUSHITA ELECTRIC IND CO
LTD**

(72) Inventor: **KOJIMA TADASHI
HIRAYAMA KOICHI
YAMADA HISASHI
MORIYAMA YOSHIAKI
YOKOGAWA FUMIHIKO
ARAI TAKAO
TAKEUCHI TOSHIFUMI
TANAKA SHINICHI
KURAHASHI AKIRA
SHIMADA TOSHIYUKI**

(54) **TRANSMISSION METHOD FOR DIGITAL DATA**

(57) Abstract:

PROBLEM TO BE SOLVED: To reproduce information data with high accuracy.

SOLUTION: Digital data are contained in a sector consisting of plural synchronization frames and sent sequentially. The synchronization frame consists of a synchronizing signal and a run length limited code satisfying limitation of a minimum run length and a maximum run length and the synchronizing signal includes a synchronization pattern consisting of a bit pattern with a run length longer than the maximum run

length by 3T and an additional bit pattern with a run length longer than the minimum run length allocated before and after it. Furthermore, the synchronizing signal includes a specific code representing a position in the sector and for DC control available.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-162857

(43)公開日 平成9年(1997)6月20日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08			H 0 4 L 7/08	Z
G 1 1 B 20/14	3 4 1	9463-5D	G 1 1 B 20/14	3 4 1 Z
H 0 3 M 7/14		9382-5K	H 0 3 M 7/14	B
H 0 4 L 25/49		9199-5K	H 0 4 L 25/49	A

審査請求 未請求 請求項の数12 OL (全 13 頁)

(21) 出願番号 特願平7-316420

(22) 出願日 平成7年(1995)12月5日

(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(71)出願人 000005016
パイオニア株式会社
東京都目黒区目黒1丁目4番1号

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(74)代理人 弁理士 藤村 元彦

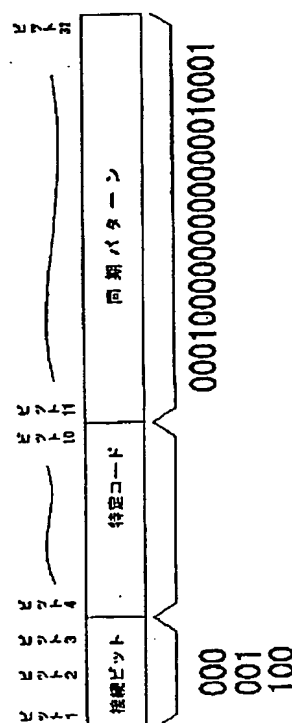
最終頁に続く

(54) 【発明の名称】 デジタルデータの伝送方法

(57) 【要約】

【課題】 精度良く情報データの再生を行えるデジタルデータの伝送方法を提供することを目的とする。

【解決手段】 デジタルデータを複数の同期フレームからなるセクタに收容して順次伝送するにあたり、かかる同期フレームは、同期信号と、最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、上記同期信号は、上記最大ラン長よりも3 Tだけ大なるラン長のビットパターンとその前後に配置された上記最小ラン長よりも長いラン長の付加ビットパターンとからなる同期パターンを含んでいる。又、かかる同期信号は、上記セクタ内における位置を表すと共にDC制御を可能にする特定コードを含んでいる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するデジタルデータの伝送方法であって、

前記同期フレームは、同期信号と、前記デジタルデータに対応しかつ最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、

前記同期信号は、前記最大ラン長よりも3 Tだけ大なるラン長のビットパターンと、その前後に配置された前記最小ラン長よりも長いラン長の付加ビットパターンとからなる同期パターンを含むことを特徴とするデジタルデータの伝送方法。

【請求項2】 前記付加ビットパターンの内、後方に配置された付加ビットパターンは固定長であることを特徴とする請求項1記載のデジタルデータの伝送方法。

【請求項3】 前記ランレングスリミテッドコードは、前記デジタルデータを8ビット毎に最小ラン長=2、最大ラン長=10なるラン長制限を満たすように8-16変調したコードであり、

前記同期パターンは、4 T以上-14 T-4 Tなるラン長のビットパターンからなることを特徴とする請求項1記載のデジタルデータの伝送方法。

【請求項4】 デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するデジタルデータの伝送方法であって、

前記同期フレームは、同期信号と、前記デジタルデータに対応しかつ最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、

前記同期信号には、前記セクタ内における位置を表す特定コードが含まれていることを特徴とするデジタルデータの伝送方法。

【請求項5】 前記セクタは、各々が前記同期フレームの2つからなる複数の行からなり、

前記行毎に含まれる前記同期信号の2つの各々に含まれている前記特定コードにより、前記セクタ内における位置を識別するようにしたことを特徴とする請求項4記載のデジタルデータの伝送方法。

【請求項6】 前記行毎に含まれる前記特定コードの2つの内の一方は、前記行の増加に応じてサイクリックに繰り返すことを特徴とする請求項5記載のデジタルデータの伝送方法。

【請求項7】 前記セクタの1行目の先頭に配置される前記同期信号中の前記特定コードは、他の行の先頭に配置される前記同期信号に対して符号距離が最も大となるようなビットパターンとなっていることを特徴とする請求項4記載のデジタルデータの伝送方法。

【請求項8】 前記特定コードのビットパターンによりDC制御を行えるようにしたことを特徴とする請求項3記載のデジタルデータの伝送方法。

【請求項9】 前記特定コードとしてNRZI変調したときに反転回数が異なる2種のコードを選択できるようにして前記DC制御を行うようにしたことを特徴とする請求項8記載のデジタルデータの伝送方法。

【請求項10】 前記セクタは、各々が前記同期フレームの2つからなる13行からなり、

前記同期信号は、直前に存在する前記ランレングスリミテッドコードとの接続において前記最小ラン長及び前記最大ラン長の制約を満たしかつ前記セクタの先頭と各行の特定、及び前記DC制御を為すために32種のビットパターンを有することを特徴とする請求項5、7及び8記載のデジタルデータの伝送方法。

【請求項11】 デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するデジタルデータの伝送方法であって、

前記同期フレームは、32ビットの同期信号と、前記デジタルデータを8ビット毎に最小ラン長=2、最大ラン長=10なるラン長制限を満たすように8-16変調したランレングスリミテッドコードとからなり、

前記同期信号は、直前に存在する前記ランレングスリミテッドコードとの接続において前記最小ラン長=2及び前記最大ラン長=10の制約を満たすべく配置された3ビットの接続ビットと、前記最小ラン長=2及び前記最大ラン長=10の制約を満たしかつ32種のビットパターンを有する7ビットの特定コードと、4 T以上-14 T-4 Tなるラン長の同期パターンとからなることを特徴とするデジタルデータの伝送方法。

【請求項12】 前記同期信号は、下表1及び2にて示される32種のビットパターンを有し、前記セクタ内の各行における前記同期信号の配置を下表3に示される配置としたことを特徴とする請求項11記載のデジタルデータの伝送方法。

【表1】

SY0	0001001001000100 0000000000010001	000100100000100 0000000000010001
SY1	0000010000000100 0000000000010001	0000010001000100 0000000000010001
SY2	0001000000000100 0000000000010001	0001000001000100 0000000000010001
SY3	0000100000000100 0000000000010001	0000100001000100 0000000000010001
SY4	0010000000000100 0000000000010001	0010000001000100 0000000000010001
SY5	0010001001000100 0000000000010001	001000100000100 0000000000010001
SY6	001001001000100 0000000000010001	001000001000100 0000000000010001
SY7	0010010001000100 0000000000010001	001001000000100 0000000000010001

【表 2】

SY0	100100100000100 0000000000010001	1001001001000100 0000000000010001
SY1	1000010001000100 0000000000010001	1000010000000100 0000000000010001
SY2	1001000001000100 0000000000010001	1001000000000100 0000000000010001
SY3	1000001001000100 0000000000010001	1000001000000100 0000000000010001
SY4	1000100001000100 0000000000010001	1000100000000100 0000000000010001
SY5	1000100100000100 0000000000010001	1000000100000100 0000000000010001
SY6	1001000010000100 0000000000010001	1000000010000100 0000000000010001
SY7	1000100010000100 0000000000010001	1000000100000100 0000000000010001

【表 3】

	32ビット	1456ビット	32ビット	1456ビット
第 1 行	同期信号 SY 0	ランレングスリミテッドコード	同期信号 SY 5	ランレングスリミテッドコード
第 2 行	同期信号 SY 1	ランレングスリミテッドコード	同期信号 SY 5	ランレングスリミテッドコード
第 3 行	同期信号 SY 2	ランレングスリミテッドコード	同期信号 SY 5	ランレングスリミテッドコード
第 4 行	同期信号 SY 3	ランレングスリミテッドコード	同期信号 SY 5	ランレングスリミテッドコード
第 5 行	同期信号 SY 4	ランレングスリミテッドコード	同期信号 SY 5	ランレングスリミテッドコード
第 6 行	同期信号 SY 1	ランレングスリミテッドコード	同期信号 SY 6	ランレングスリミテッドコード
第 7 行	同期信号 SY 2	ランレングスリミテッドコード	同期信号 SY 6	ランレングスリミテッドコード
第 8 行	同期信号 SY 3	ランレングスリミテッドコード	同期信号 SY 6	ランレングスリミテッドコード
第 9 行	同期信号 SY 4	ランレングスリミテッドコード	同期信号 SY 6	ランレングスリミテッドコード
第 10 行	同期信号 SY 1	ランレングスリミテッドコード	同期信号 SY 7	ランレングスリミテッドコード
第 11 行	同期信号 SY 2	ランレングスリミテッドコード	同期信号 SY 7	ランレングスリミテッドコード
第 12 行	同期信号 SY 3	ランレングスリミテッドコード	同期信号 SY 7	ランレングスリミテッドコード
第 13 行	同期信号 SY 4	ランレングスリミテッドコード	同期信号 SY 7	ランレングスリミテッドコード
	前同期フレーム		後同期フレーム	

【発明の属する技術分野】本発明は、デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送（記録をも含む）するデジタルデータの伝送方法に関する。

【0002】

【従来の技術】情報を担うデジタルデータを伝送、又は記録媒体に記録する際に為されるRLL (Run Length Limited) 符号化方法として、CD (コンパクトディスク) 等に採用されているEFM (Eight to Fourteen Modulation) 変調が知られている。

【0003】かかるEFM変調においては、8ビット（1バイト）のデジタルデータを、

【0004】

【数1】最小ラン長 $d = 3T$

最大ラン長 $k = 11T$

なるラン長制限を満たすような14ビットのランレングスリミテッドコードに変換し、この変換後のデータ各々の間に3ビットの接続ビットを付加したものをEFM変調信号として生成する。この際、かかるEFM変調信号系列においても上記の如きラン長制限を満たすように上記接続ビットのビット列が設定される。

【0005】CDにおいては、このEFM変調信号に、同期信号を付加したものが記録されている。この際、かかるEFM変調信号による系列中には、上記最大ラン長 k での繰り返しパターン、すなわち、 $11T-11T$ なる繰り返しパターンが存在しないようにしておき、この $11T$ の繰り返しパターンを上記同期信号としているのである。

【0006】CDプレーヤにおいては、かかるCDから読み取られた信号中から、上記 $11T$ の繰り返しパターンを検出することにより、同期信号の抽出を行っているのである。しかしながら、記録情報を高密度記録化したDVD (デジタルビデオディスク)、あるいは高密度データ伝送では、その情報読み取り時に符号間干渉の影響を大きく受ける。従って、上記同期信号としての $11T$ の繰り返しパターンが、 $11T-10T$ 、あるいは $10T-11T$ の如きパターンに変化して読み取られてしまう。又、逆に、EFM変調信号としての $10T-11T$ 、あるいは $11T-10T$ なるデータパターンが、 $11T$ の繰り返しパターンに変化してしまい、これを同期信号と誤検出してしまう場合が生じる。

【0007】以上の如く、高密度記録、あるいは高密度データ伝送において、同期信号の検出に誤りが生ずる頻度が増加し、同期外れによるバーストエラーが生じ易くなる。

【0008】

【発明が解決しようとする課題】本発明は、かかる問題を解決せんとして為されたものであり、高密度記録、あるいは高密度データ伝送時においても、精度良くデジタルデータの再生を行えるデジタルデータの伝送方法

を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明によるデジタルデータの伝送方法は、デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するデジタルデータの伝送方法であって、前記同期フレームは、同期信号と、前記デジタルデータに対応しかつ最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、前記同期信号は、前記最大ラン長よりも $3T$ だけ大なるラン長のビットパターンと、その前後に配置された前記最小ラン長よりも長いラン長の付加ビットパターンとからなる同期パターンを含むことを特徴としている。

【0010】又、本発明によるデジタルデータの伝送方法は、デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するデジタルデータの伝送方法であって、前記同期フレームは、同期信号と、前記デジタルデータに対応しかつ最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、前記同期信号には、前記セクタ内における位置を表すと共にDC制御を可能にする特定コードが含まれていることを特徴としている。

【0011】

【発明の実施の形態】デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するにあたり、かかる同期フレームは、同期信号と、最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、上記同期信号は、上記最大ラン長よりも $3T$ だけ大なるラン長のビットパターンとその前後に配置された上記最小ラン長よりも長いラン長の付加ビットパターンとからなる同期パターンを含んでいる。又、かかる同期信号は、上記セクタ内における位置を表すと共にDC制御を可能にする特定コードを含んでいる。

【0012】

【実施例】図1は、本発明によるデジタルデータの伝送方法にて伝送信号の生成を行う伝送信号生成装置の構成を示す図である。図1において、8-16変調器10は、伝送すべきデジタルデータを8ビット毎に、最小ラン長 $d = 2T$ 、最大ラン長 $k = 10T$ なるラン長制限を満たすような16ビット（1コードワード）の8-16変調信号（ランレングスリミテッドコード）に変換する。

【0013】この際、かかる8-16変調器10にて得られる全てのコードワードは、以下のNext_State1～4のいずれかの条件を満たすようなパターン形態を有している。

Next_State1・・・終端の0の連続個数が0又は1個のコードワード。

Next_State2・・・終端の0の連続個数が2～5個のコードワードであり、かつ、次のコードワードの1ビット

目及び13ビット目が共に0となっている。

【0014】Next_State3・・・終端の0の連続個数が2～5個のコードワードであり、かつ、次のコードワードの1ビット目又は1-3ビット目の内少なくとも一方が0となっている。

Next_State4・・・終端の0の連続個数が6～9個のコードワード。

尚、このような変調方式については、以下の論文で発表されている。

【0015】IEEE International Conference on Consumer Electronics, 1995, WPM6.1, "EFMPlus: The Coding format of the High-Density Compact Disc", Kees A. Schouhamer Immink

同期信号発生回路20は、図2及び図3に示されるが如き互いに異なるビットパターンを有する32個の同期信号を発生し、これを合成回路30に供給する。

【0016】この際、これら32個の同期信号は、図2及び図3に示されるようにSY0～SY7の8つにグループ化される。図4は、かかる同期信号のフォーマットを示す図である。図4において、かかる同期信号のビット1～3は、直前のコードワードとの接続時に、上述した如き最小ラン長d及び最大ラン長kの制約を満たすように設けられた接続ビットである。この際、かかるビット1～3による接続ビットパターンは、{000}、{001}、{100}のいずれかである。

【0017】次に、同期信号のビット11～ビット32には、同期信号であることを識別する為の同期パターンが割り当てられている。かかる同期パターンは、上述した8-16変調信号中の最大間隔11Tよりも3T大きい14Tのパターンを中核とし、この14Tパターンの後方に固定長の4Tのパターン、前方に4T以上のパターンを配置した、4T以上-14T-4Tなる配列、つまり、

{000100000000000000010001}

なるビットパターンである。この際、かかる同期パターンは、図2及び図3に示されるように、全ての同期信号に共通の固定パターンである。

【0018】この同期パターンにおいては、符号間干渉の影響により8-16変調信号中の11Tパターンがエッジシフトして12Tとなり、更に、同期パターン自体がエッジシフトして1T分だけ短くなってしまっても、両者を区別できるように、8-16変調信号中の最大間隔11Tよりも3T大きい14Tのパターンを採用しているのである。この際、かかる14Tパターンとは、エッジシフトを考慮した場合に設定し得る最短の長さである。

【0019】更に、この14Tパターンの後方に固定長の4Tと、その前方に4T以上の付加ビットパターンを配置することにより、最短ビットの3Tより1T大きな間隔をあけて、隣接マークとの符号間干渉の影響が小さ

くなるようにしている。図5は、かかる同期パターンによる伝送信号波形を示す図である。図5に示されるように、一点鎖線のスライスレベルにて、エッジの立ち上がり（波形が反転しているときは立ち下がり）同士、つまりA点及びB点の間隔を検出するようにすれば、引き込み動作等で上記スライスレベルが確定していない時でも安定して、エッジ間隔を検出できるのである。この際、かかる14Tパターンと後方の4Tパターンとを組み合わせたパターンを検出し、このパターン中に14Tのパターンがあるものを選択することにより、立ち上がりのスピンドルサーボの速度検出用の信号に用いることができる。尚、前後のマーク長を最短マーク長より振巾の大きい4T以上とすることにより、スライスレベルの変動に対しての許容幅は大きくなる。この際、5T以上のマークの組み合わせにしても良いが、上記実施例においては、効率を優先させて後方4T、前方4T以上としているのである。

【0020】又、14Tパターンの後方を4T固定、前方を4T以上としたのは、以下に説明する特定コードを更にこの前方に置くときに、前方の自由度を大きくして、特定コードの取り得るパターンの数を充分確保するためである。かかる特定コードは、図4に示されるように、同期信号のビット4～ビット10に割り当てられており、その直前に存在する上記接続ビットとの組み合わせにより、後述する1セクタ内における位置を識別し得るものとなる。

【0021】ここで、図1における合成回路30は、8-16変調器10から順次供給されてくる8-16変調信号の列、91コードワード毎に、上記同期信号発生回路20にて発生した同期信号のいずれか1を選択し、これをかかる91コードワードの先頭に付加したものを1同期フレームに対応した伝送信号として出力する。図6は、かかる合成回路30にて出力される、1セクタあたりの伝送信号フォーマットを示す図である。

【0022】図6に示されるが如く、1セクタは13行からなり、これら各行には2つの同期フレームが割り当てられている。各同期フレームに割り当てられている同期信号は、図2及び図3にて示される32種類の同期信号の中から選択したものである。例えば、第1行目の前同期フレームに割り当てられる同期信号は、かかる32種類の同期信号の中から選択されたSY0に該当したものである。この1行目以降、前同期フレームに割り当てられる同期信号は、その行の増加に応じてSY1～SY4の如くサイクリックに繰り返す構造としている。この際、かかるSY1～SY4各々の違いは、上述した特定コードが決定しているものである。つまり、各行に存在する2つの同期信号各々の特定コードの内一方が、行の増加に応じてサイクリックに繰り返す構造となっているのである。

【0023】次に、かかる1セクタ分の伝送信号を生成

するという合成回路30の動作について、図7のフローを参照しつつ説明する。尚、かかる合成回路30内には、図示せぬCPU（中央処理装置）及びメモリが形成されており、かかるメモリ内には、予め、図8に示されるが如き情報が記憶されているものとする。

【0024】図7のフローにおいて、まず、かかる合成回路30内のCPUは、その内蔵レジスタnに初期番地としての1を設定する（ステップS1）。次に、CPUは、かかるレジスタnに記憶されている番地に対応した情報を図8に示されるメモリから夫々読み出して、レジスタX及びYに各々記憶せしめる（ステップS2）。例えば、レジスタnに1が記憶されている場合には、図8のメモリの1番地に記憶されているSY0、及びSY5各々が読み出され、これらが、夫々レジスタX及びYに記憶される。

```
{0001001001000100000000000000010001}
{0001001000000100000000000000010001}
```

の2通り存在する。

【0026】すなわち、両者は、特定コード中のビット10の値のみが異なっており、NRZI変調した時に、その反転回数が異なってくる。ここで、CPUは、この2通りのパターンの中、DC調整に最適な方を選択してこれを最終的なSY0とする。次に、CPUは、レジスタYの記憶内容に対応した同期信号を選択する。例えば、レジスタYにSY5が記憶されている場合には、図2及び図3に示される32種類の同期信号の中からSY

```
{1000100100000100000000000000010001}
{1000000100000100000000000000010001}
```

の2通り存在する。

【0027】すなわち、両者は、特定コード中のビット5の値のみが異なっている。ここで、CPUは、この2通りのパターンの中、DC調整に最適な方を選択してこれを最終的なSY5とするのである（ステップS3）。次に、CPUは、上述の如くレジスタX及びYの記憶内容に基づいて選択された同期信号各々に、91コードワード分の8-16変調信号を直列に連結したものを図6に示されるが如き1行分の伝送信号として出力する（ステップS4）。

【0028】次に、CPUは、レジスタnの内容が13よりも大であるか否かを判定する（ステップS5）。ステップS5において、レジスタnの内容が13よりも大であると判定されるまで、CPUは、かかるレジスタnの内容に1を加算して（ステップS6）から、上記ステップS2以降の動作を繰り返し実行する。かかる繰り返し動作により、図6に示されるが如き第1行～第13行（1セクタ分）の伝送信号が順次出力されるのである。

【0029】ここで、例えば、16セクタを1エラー訂正ブロックとして誤り訂正符号化して伝送するとしたとき、かかる構造からなる伝送信号を受信するデコーダ側では、図6に示されるが如きセクタ構造を有する伝送信

【0025】次に、CPUは、同期信号発生回路20から供給されてくる、図2及び図3に示される32種類の同期信号の中から、上記レジスタXの記憶内容に対応した同期信号を選択する。例えば、レジスタXにSY0が記憶されている場合には、図2及び図3に示される32種類の同期信号の中からSY0に対応したものが選択される。ここで、かかる同期信号の直前に存在するコードワードがNext_State1（終端の0の連続個数が1又は0個）又は、Next_State2（終端の0の連続個数が2～5個）である場合、CPUは、図2及び図3に示されるSY0の内から、ビット1～3による接続ビットパターンが{000}となっているものを選択する。この際、接続ビットパターンが{000}となっているものは、図2中から

5に対応したものが選択される。ここで、かかる同期信号の直前に存在するコードワードがNext_State3（終端の0の連続個数が2～5個）又は、Next_State4（終端の0の連続個数が6～9個）である場合、CPUは、図2及び図3に示されるSY5の内から、ビット1～3による接続ビットパターンが{100}となっているものを選択する。この際、接続ビットパターンが{100}となっているものは、図3中から

号を16セクタ集めたものを1つのエラー訂正ブロックとしてエラー訂正処理を実行する。デコーダにおいては、かかる伝送信号の受信後にセクタの先頭を探し、その後に記録されているアドレスをすばやく読み取ってエラー訂正ブロックのデータを集めていく事が重要になる。この際、高密度伝送が実施されると、セクタの先頭としての同期信号SY0の読み取りが出来ない場合や、他のものをセクタ先頭と誤ってしまう場合があるので、修復不能な致命的なエラーを誘発する可能性が生じる。

【0030】そこで、本発明による伝送信号においては、図2及び図3にて示されるように、互いにビットパターンの異なる32種類の同期信号を用意して、更に、図6に示されるように、1セクタ中の各行に割り当てる同期信号の組み合わせパターンを各行に応じた独自のものとしている。又、図6に示されるように、各行の先頭に存在する前同期フレーム中の同期信号を、行の増加に応じてSY1～SY4の如くサイクリックに繰り返す構造としている。

【0031】よって、かかる構造からなる伝送信号を受信するデコーダ側においては、上記同期信号の組み合わせパターンを認識することにより、1セクタ中の行を特定することが出来、それ故に、セクタ先頭のSY0の位

置を予測することが可能となるのである。又、行の特定を行う際に、SY1～SY4の繰り返しパターンを認識することにより、同期信号の読み取り誤りに対して更に防御機能を高めることができる。尚、1行中に存在する2つの同期信号の組み合わせパターンに基づいて、行を特定するようにしているので、1セクタ中の同期信号の種類はSY0～7の8種類で良い。

【0032】従って、高密度伝送の影響により、セクタの先頭としての同期信号SY0を読み取ることが出来なくなった場合においても、デコーダ側では、そのSY0以降に存在する同期信号に基づいてセクタの先頭位置を認識して、正しいエラー訂正ブロックを認識することが可能となるのである。更に、図2及び図3よりわかるように、SY0は他の各行の先頭シンク（SY1からSY4）と最も符号間距離が大きくなるように選ばれている。ここで符号間距離とは同期信号同士の類似度を表し、他と1の数が異なる同期信号がある場合はそれを最も距離が大きいものとし、1の数が同じ同期信号の場合は、1の位置をシフトしてある同期信号に一致するまでのシフト数をその同期信号との距離とする。このようにSY0を定めることにより、SY1からSY4をSY0と読み誤る確率を小さくしている。換言すれば、SY0に比較的類似している同期信号は各行の中間の同期信号（SY5からSY7）とし、行の先頭と中間とで共通の同期信号を用いないようにしているのである。又、行の先頭と中間とで共通の同期信号を用いないということは、読み取り誤りによって各行の先頭と中間を間違える確率を低くする効果もある。

【0033】又、SY0からSY7には、図2及び図3に示されるように、同期信号直前のコードワードのNext_Stateが1, 2の場合と3, 4の場合のいずれに対しても、反転回数（1の個数）の偶奇とデスパリティ（波形の正負のビットの差）の符号の異なる2つの32ビットパターンが割り当てられている。すなわち、一方のパターンに対して他方のパターンは、パターン自身の直流成分及びパターンの最終端での信号の極性が逆になるので、いずれか一方を選択することにより信号の直流成分を減少することができるのである。

【0034】

【発明の効果】以上の如く、本発明によるデジタルデ

ータ伝送方法においては、デジタルデータを複数の同期フレームからなるセクタに収容して順次伝送するにあたり、かかる同期フレームは、同期信号と、最小ラン長及び最大ラン長の制約を満たすランレングスリミテッドコードとからなり、上記同期信号は、上記最大ラン長よりも3Tだけ大なるラン長のビットパターンとその前後に配置された上記最小ラン長よりも長いラン長の付加ビットパターンとからなる同期パターンを含む構成としている。

【0035】よって、本発明によれば、例え、符号間干渉の影響により、この同期信号及びランレングスリミテッドコードによる信号エッジ夫々が1T分だけエッジシフトしてしまっても、両者を正しく区別して検出することが出来るのである。又、本発明によるデジタルデータ伝送方法においては、上記同期信号に、セクタ内における位置を表すと共にDC制御を可能にする特定コードを含む構成としている。

【0036】よって、かかる構成によれば、例え、セクタの先頭の同期信号を一時的に読み取れなくても、又他のものをセクタ先頭と誤ってしまっても、その後存在する同期信号に基づいて正しいセクタの先頭を予測することが出来るので、良好にデジタルデータの再生が為されるのである。

【図面の簡単な説明】

【図1】本発明によるデジタルデータ伝送方法にて伝送信号の生成を行う伝送信号生成装置の概略構成を示す図である。

【図2】本発明による同期信号を示す図である。

【図3】本発明による同期信号を示す図である。

【図4】同期信号のフォーマットを示す図である。

【図5】同期パターンによる伝送信号波形を示す図である。

【図6】1セクタ分の伝送信号フォーマットを示す図である。

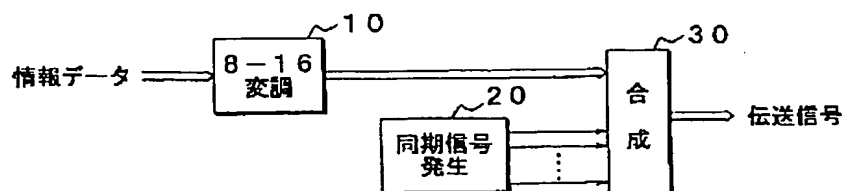
【図7】合成回路30の動作フローを示す図である。

【図8】メモリの記憶内容を示す図である。

【主要部分の符号の説明】

- 10 8-16変調器
- 20 同期信号発生回路
- 30 合成回路

【図1】

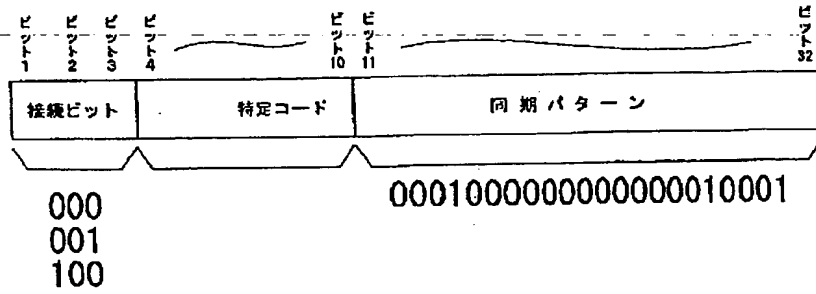


直前のコードワードがNext_State 1又は2の時の同期信号					
	ビット 1234 1011		ビット 1234 1011		ビット 32
SY0	0001001001	000100 0000000000010001	0001001000	000100 00000000000010001	0001
SY1	0000010000	0000100 0000000000010001	0000010001	0000100 00000000000010001	0001
SY2	0001000000	0000100 0000000000010001	0001000001	0000100 00000000000010001	0001
SY3	0000100000	0000100 0000000000010001	0000100001	0000100 00000000000010001	0001
SY4	0010000000	0000100 0000000000010001	0010000001	0000100 00000000000010001	0001
SY5	0010001001	0000100 0000000000010001	0010001000	0000100 00000000000010001	0001
SY6	0010010010	0000100 0000000000010001	0010000010	0000100 00000000000010001	0001
SY7	0010010001	0000100 0000000000010001	0010010000	0000100 00000000000010001	0001

【図3】

直前のコードワードがNext_State 3又は4の時の同期信号									
	ビット 1234				ビット 1011				ビット 32
	1234	1011	1234	1011	1234	1011	1234	1011	
SY0	1001001000	0000100	0000000000	10001	1001001001	000100	0000000000	10001	
SY1	1000100010	0000100	0000000000	10001	1000010000	000100	0000000000	10001	
SY2	1001000001	0000100	0000000000	10001	1001000000	000100	0000000000	10001	
SY3	1000001001	0000100	0000000000	10001	1000001000	000100	0000000000	10001	
SY4	1000100001	0000100	0000000000	10001	1000100000	000100	0000000000	10001	
SY5	1000100100	0000100	0000000000	10001	1000000100	000100	0000000000	10001	
SY6	1001000010	0000100	0000000000	10001	1000000001	000100	0000000000	10001	
SY7	1000100010	0000100	0000000000	10001	1000000100	000100	0000000000	10001	

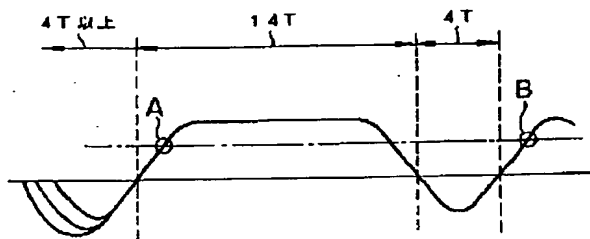
【図4】



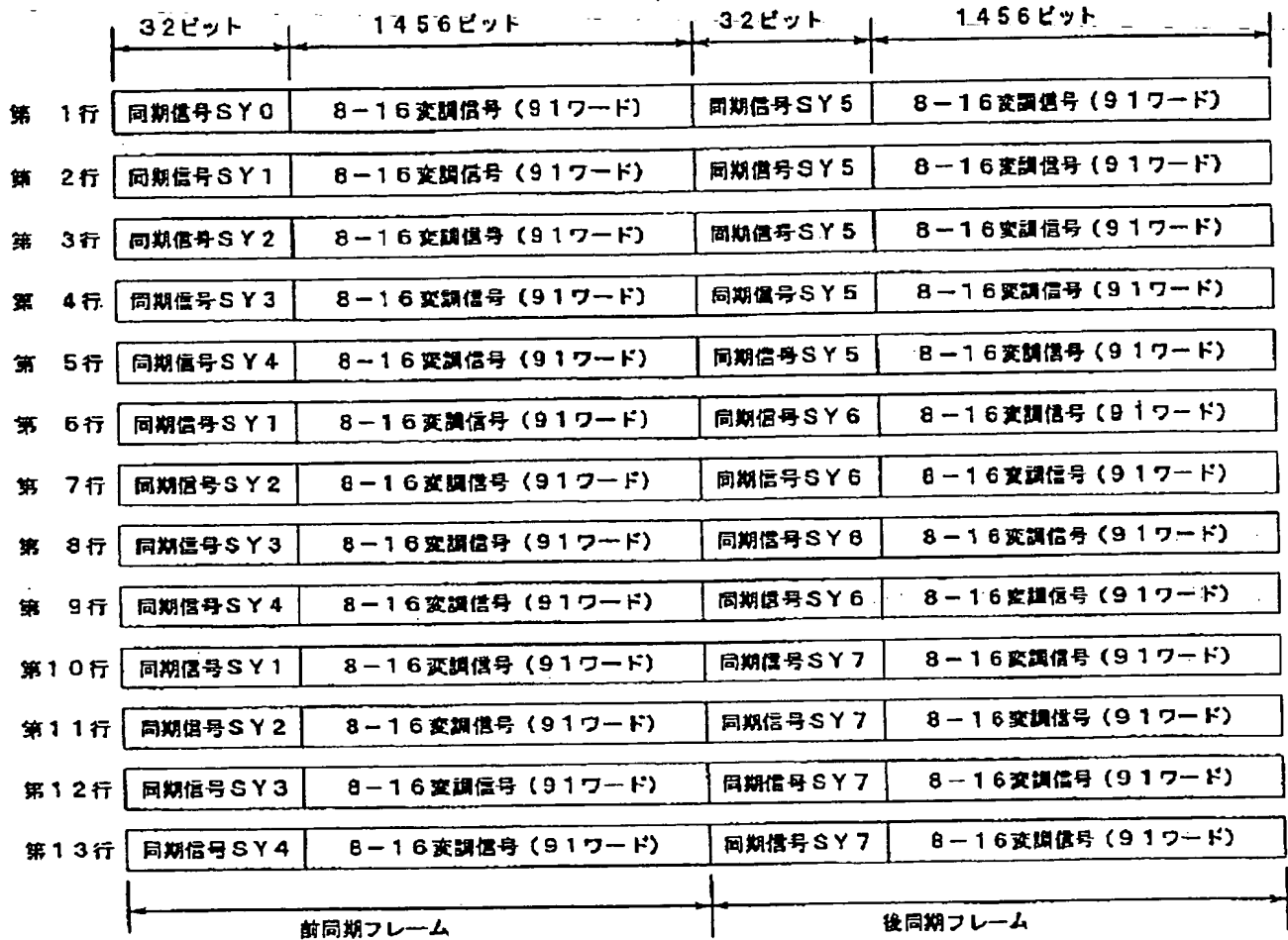
【図8】

番地	SY0	SY5
1	SY0	SY5
2	SY1	SY5
3	SY2	SY5
4	SY3	SY5
5	SY4	SY5
6	SY1	SY6
7	SY2	SY6
8	SY3	SY6
9	SY4	SY6
10	SY1	SY7
11	SY2	SY7
12	SY3	SY7
13	SY4	SY7

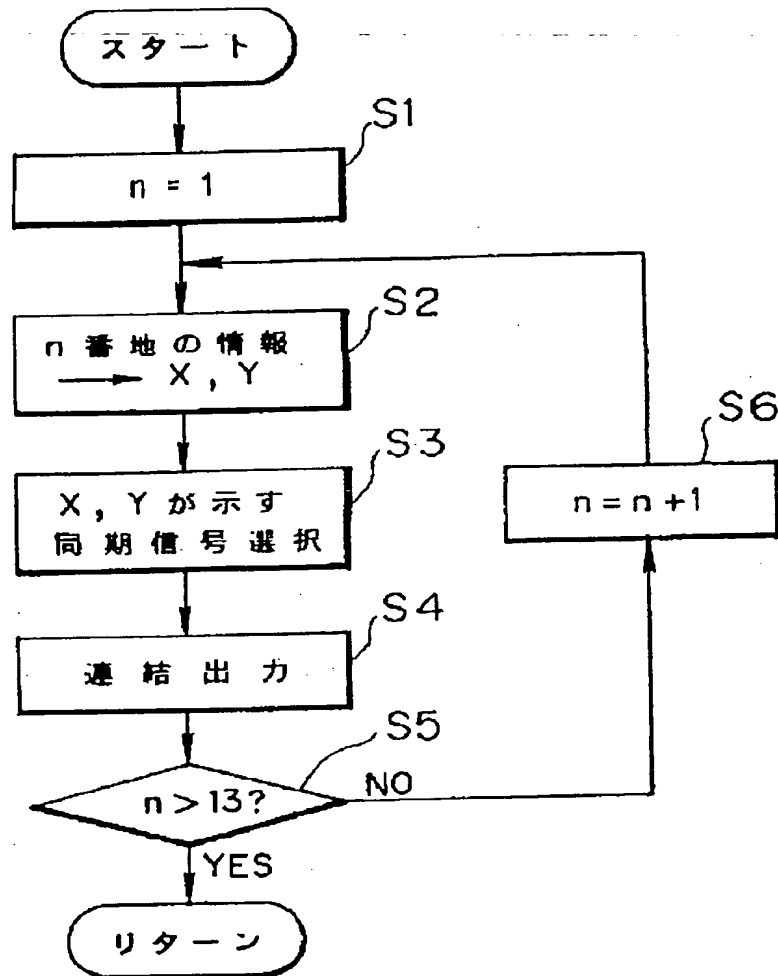
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 小島 正
神奈川県川崎市幸区柳町70番地株式会社東
芝柳町工場内

(72)発明者 平山 康一
神奈川県川崎市幸区柳町70番地株式会社東
芝柳町工場内

(72)発明者 山田 尚志
神奈川県川崎市幸区柳町70番地株式会社東
芝柳町工場内

(72)発明者 守山 義明
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 横川 文彦
埼玉県鶴ヶ島市富士見6丁目1番1号パイ
オニア株式会社総合研究所内

(72)発明者 荒井 孝雄
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内

(72)発明者 竹内 敏文
神奈川県横浜市戸塚区吉田町292番地株式
会社日立製作所マルチメディアシステム開
発本部内

(72)発明者 田中 伸一
大阪府門真市大字門真1006番地松下電器産
業株式会社内

(72)発明者 倉橋 章
大阪府門真市大字門真1006番地松下電器産
業株式会社内

(72)発明者 島田 敏幸
大阪府門真市大字門真1006番地松下電器産
業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.